

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62139425 A**

(43) Date of publication of application: **23.06.87**

(51) Int. Cl

H04B 7/005

H03F 1/32

H04B 3/04

H04L 27/00

(21) Application number: **60280609**

(71) Applicant: **NEC CORP**

(22) Date of filing: **12.12.85**

(72) Inventor: **KANAI JUNKO**

(54) TRANSMITTER

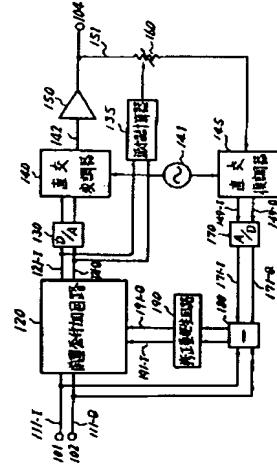
value of the circuit 120.

(57) Abstract:

COPYRIGHT: (C)1987,JPO&Japio

PURPOSE: To control the output of an amplifier so that the output does not exceed a saturation value by distorting the sample value sequence of complex signals so that the non-linearity of an amplifier is compensated, calculating the amplitude of the distorted signal sequence and adjusting the attenuation of a signal fed back from the output of the amplifier.

CONSTITUTION: The sample value sequence of complex signals is distorted by a distortion preadder 120 so that the non-linearity of the amplifier is compensated. The distorted signal is modulated by an orthogonal modulator 140 through a D/A converter 130 and inputted to an amplifier 150. The amplitude of a part of an output from the circuit 120 is calculated by an amplitude calculator 135 and the attenuation of a signal fed back from the output of the amplifier is adjusted. The fed back signal is demodulated by an orthogonal demodulator 145 and a difference between the demodulated signal and a signal to be originally transmitted is found out by a subtractor 180 through an A/D converter and a correction value generating circuit 190 is driven to rewrite the compensating distortion



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭62-139425

⑬ Int.CI.⁴

H 04 B 7/005
 H 03 F 1/32
 H 04 B 3/04
 H 04 L 27/00

識別記号

厅内整理番号

8529-5K
 6932-5J
 C-8529-5K
 K-8226-5K

⑭ 公開 昭和62年(1987)6月23日

審査請求 未請求 発明の数 1 (全 7 頁)

⑮ 発明の名称 送信機

⑯ 特願 昭60-280609

⑰ 出願 昭60(1985)12月12日

⑱ 発明者 金井順子 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代理人 弁理士 内原晋

明細書

発明の名称 送信機

特許請求の範囲

(1)複素信号をサンプルしたサンプル値信号系列を入力とし、この入力信号系列を増幅器の非線形性を補償するように歪ませ、この歪ませた信号を複素信号のサンプル値系列として出力する前置歪付加回路と;この前置歪付加回路の出力で変調された信号を生成し前記増幅器へ出力する直交変調器と;前記前置歪付加回路の出力から振幅を計算する振幅計算器と;前記増幅器出力を受け前記振幅計算回路の出力により前記増幅器入力があらかじめ定められた値を超さないように減衰量を調整し直交復調器に出力する減衰器と;前記減衰器の出力を復調し複素信号を得て出力する直交復調器と;この直交復調器の出力を前記サンプル値信号系列から引き算する減算回路と;この減算回路の出力を受けて、前記前置歪付加回路の内容の修正に用いる修

正量を計算し前記歪付加回路に出力する修正量発生回路からなる事を特徴とする送信機。

(2)前記歪付加回路をサンプル値信号系列により読み出しあドレスが与えられ、このサンプル値信号系列を増幅器の非線形性を補償するように予め歪ませた複素信号のサンプル値系列を出力する書き換え可能なメモリーと;このメモリー出力と前記記載の修正量発生回路出力とを加算する加算器とで構成することを特徴とする特許請求の範囲第(1)項記載の送信機。

(3)前記歪付加回路をサンプル値信号系列により読み出しあドレスが与えられ、増幅器の非線形特性を補償する複素表現された歪を出力する書き換え可能なメモリーと;このメモリーの出力と前記サンプル値信号系列とを加算する第1の加算回路と;このメモリー出力と前記記載の修正量発生回路出力とを加算する第2の加算器とで構成することを特徴とする特許請求の範囲第(1)項記載の送信機。

発明の詳細な説明

(産業上の利用分野)

本発明は、搬送波の振幅及び位相を情報として用いる変調方式をとる送信機に於いて増幅器の非線形性を補償するために予め通信信号波形を変形させ増幅器に送出する変調装置に関するものである。

(従来の技術)

近年、電波資源が足りなくなってきてることから、無線通信では周波数の有効利用を図るためにチャンネルの狭帯域化が進んでいる。チャンネル帯域が狭くなれば、帯域の広がるFM等の非線形な変調方式よりは、線形な変調方式の方が好ましい。これは、デジタル伝送、アナログ伝送を問わない。線形変調方式では増幅器の非線形性による送信スペクトルの劣化及び受信特性の劣化が問題になる。

通常の増幅器の入出力非線形特性には第3図に示すようにAM-AM変換と呼ばれる出力振幅の飽和特性と、AM-PM変換と呼ばれる出力位相の入力振幅による変化がある。入力振幅が飽和点から十分小さい点では、振幅特性は直線であり、位相の

変化もない。しかしながら、入力振幅が飽和点に近づくにつれ、出力振幅は飽和し、出力位相は回転し始める。その結果として送信スペクトルの劣化、及び受信特性の劣化をまねく。

第5図(a)~(d)はこのような非線形増幅器の信号に対する影響を16値QAMを例に示している。第5図(a)は本来あるべき送信信号の位相平面における信号点分布であり、第5図(b)はその時の送信スペクトル分布である。第5図(c)は動作点を飽和レベルの近くにした時の増幅器出力の位相平面に於ける信号点の分布を示す。第5図(c)の信号点は第5図(a)の信号点に比べ歪んでいる。この時の送信スペクトルは第5図(d)に示すように3次及び5次等奇数次の相互変調成分が出て、隣接チャンネルへの干渉の原因となる。また、受信機は第5図(c)の信号点が送られると、小さい雑音によって誤りを起こしてしまい、受信特性が劣化する。

送信スペクトル特性及び受信特性の劣化を防ぐために、このような増幅器の非線形性を補償する必要がある。従来、このような非線形性を補償

し、且つ増幅器特性の時間変化をも補償するデジタル伝送用の手段として、特願昭56-204120号明細書「適応型変調装置」にあるものがある。第6図は第1の従来例の適応型変調装置のブロック図である。入力端子600からは送信データ系列が並列に入力する。第6図中の結線上の斜線は複数の結線を示す。送信データ系列は第1のメモリーであるランダム・アクセス・メモリー610(RAM(Random Access Memory))及び、第2のメモリーであるリード・オン・リード・メモリー620(ROM(Read Only Memory))のアドレスとなる。ROM620には第5図(a)のような本来の信号点配置が複数数値として記憶されており、RAM610の内容は非線形増幅器出力が正しい信号点になるよう歪ませた値が同じく複数数値として入れられている。RAM610の出力はディジタル・アナログ変換器630でアナログ信号に変換された後、帯域制限フィルター635で帯域制限され変調器640で発振器651の出力を直交変調し端子601から非線形増幅器へ出力される。RAM610の内容を適応的に変換させるために、非線形増幅器の出力端子602か

ら入力し復調器660で発振器651の出力を用いて復調する。復調器660で復調された信号は、アナログ・ディジタル変換器670で複素ディジタル信号に変換される。この復調された複素ディジタル信号をROM620から読み出される本来あるべき信号から減算回路680で演算し、その結果を修正量発生回路690で一定係数k倍して(RAMの値を早く収束させる為に一般には1より十分小さい値にする)、RAM610から読み出された出力に加算回路691で加える。もしも、復調された値がROM620からの本来あるべき値よりも大きい時はRAM610の内容を小さくする様に制御し、復調された値がROM620からの本来あるべき値よりも小さい時はRAM610の内容を大きくする様に制御する。この様にすることにより非線形増幅器の入出力特性がたとえ変化しても、常に非線形増幅器の出力、すなわち端子602からの入力信号が第5図(a)のように正しい信号点配置になるようRAM610の内容を制御する事が出来る。しかしながら、この様な第1の従来の方式では受信特性の劣化を防ぐ事は出来ても、送信スペクトルの

劣化は防ぐ事が出来ない。例えば、帯域制限された4値信号が第7図(a)の実線のように示されるものとすると、増幅器により歪を受けた時第7図(a)の破線のようになる。この様な軌跡の変化がスペクトルの劣化をまねく。RAM610は、各シンボル点での信号点を出力するだけであり、フィルター635の出力は第7図(b)の様になる。さらにこれに歪が加わると第7図(c)の実線の様になる。ところが、本来あるべき信号軌跡である第7図(c)の破線とは一致しないから、送信スペクトルは十分改善されない。なぜなら、第6図の様な線形回路は、シンボル点での線形性のみを補償し、途中の軌跡までは補償しないからである。更に第6図の様な構成をとるとデジタル信号伝送にしか応用できない。

このような欠点を克服し、増幅器の非線形性により送信スペクトルの劣化が起こらないように増幅器の非線形を補償できる変調装置には、特願昭60-057138号明細書に記載のものがある。第4図は第2の従来例である特願昭60-057138号明細書「変調装置」に示されたブロック図である。入力端子

401、402から入力してきた複素サンプル値信号系列411-I、411-Qをアドレスとして書き換え可能なメモリー(RAM)420は入力信号に非線形補償用の複素表現された歪量を加えた信号値421-I、421-Qを出力する。信号421-I、421-Qは、DA変換器430でアナログ信号となり、直交変調器440で変調され、出力端子404から非線形増幅器(図示せず)に入力する。非線形増幅器出力の一部は入力端子403から入力し、直交復調器445で復調され、復調された信号はAD変換器450でサンプルされ、信号451-I、451-Qとなって出力される。減算回路460では本来送信されるべき入力信号411-I、411-QからAD変換器出力信号451-I、451-Qをそれぞれ引き算する。この減算回路出力が検出された誤差である。RAM420において信号(411-I、411-Q)から信号(421-I、421-Q)への変換が増幅器の非線形性を補償するよう正しく行なっていれば、減算回路460の出力は0となる。この出力が0でないとき修正量発生回路470において減算回路460が出力がk(kは1以下の定数)倍され加算器480でRAM420の出力信号421-I、421-Qと修正量

発生回路470出力を加算しRAM420に出力してRAMの値を書き換える。

この様にする事により自動的に非線形増幅器の特性に合わせて非線形増幅器の出力が正しい送信信号波形になるようとする事が出来る。

(発明が解決しようとする問題点)

このように従来の方式では、非線形増幅器の入出力特性の変化には追従できるが、変復調器の変換損失に変化が起こったり、増幅器の利得が変化すると送信スペクトルの劣化を防ぐことが出来ない場合がある。

通常用いる直交変復調器は複素信号を実数成分と虚数成分をそれぞれ搬送波と掛け合わせて変復調する。変調器でベースバンド信号をRF信号に変換する際ミキサーによる変換損失が生ずる。たとえば変調の際、この変換損失が信号の実数成分と虚数成分とで異なり一方の成分が他方の成分に比べ減少し変調器出力が非常に小さくなると増幅器の出力電力が非常に減少する場合がある。増幅器出力の信号電力が小さくなると帰還される電力が

小さくなりこの送信機の入力信号より非常に小さくなる。この時、この回路では増幅器入力を増やすために入力信号を補償する付加歪量が増加する。しかし、付加歪量の増加により増幅器入力信号の振幅が増幅器出力が飽和に達する振幅である最大入力振幅を超すと増幅器の出力が飽和値を超す場合がある。また復調器でも同様の事が言え、変換損失が実数成分と虚数成分とで異なり一方の成分が他方に比べ減少すると減少した方の復調器出力が非常に小さくなりこの送信機の入力信号より非常に小さくなる。従って増幅器入力を増やすために付加歪量が増加する。付加歪量の増加により増幅器入力信号の振幅が増幅器出力が飽和に達する振幅である最大入力振幅を超すと増幅器の出力が飽和値を超す場合がある。増幅器出力が飽和値を超えると歪等化の制御をかけても歪は増加する一方で、その結果、安定な制御が出来なくなる。

(問題点を解決する為の手段)

前述の問題点を解決するために本発明の提供する送信機は、複素信号をサンプルしたサンプル値信号系列を入力とし、この入力信号系列を増幅器の非線形性を補償するように歪ませ、この歪ませた信号を複素信号のサンプル値系列として出力する前置歪付加回路と、この前置歪付加回路の出力で変調された信号を生成し前記増幅器へ出力する直交変調器と、前記前置歪付加回路の出力から振幅を計算する振幅計算器と、前記増幅器出力を受け前記振幅計算回路の出力により前記増幅器入力があらかじめ定められた値を超さないように減衰量を調整し直交復調器に出力する減衰器と、前記減衰器の出力を復調し複素信号を得て出力する直交復調器と、この直交復調器の出力を前記サンプル値信号系列から引き算する減算回路と、この減算回路の出力を受けて、前記前置歪付加回路の内容の修正に用いる修正量を計算し前置歪付加回路に出力する修正量発生回路からなる事を特徴とする。

(作用)

び111-Qを受けた前置歪付加回路120は、増幅器の非線形性を補償する為の歪を加えた複素信号を表わす121-Iおよび121-Qを出力する。信号121-I及び121-Qはデジタル・アナログ(DA)変換器130でそれぞれアナログ変換される。直交変調器140ではDA変換器130の出力を受けて発振器141で出力を変調し信号142を出力する。変調された信号142を入力とする増幅器150は出力端子104に出力し、出力の一部は信号151となる。振幅計算器135は前置歪付加回路120の出力120-I及び120-Qの入力により複素信号の振幅を計算し減衰器160に出力する。減衰器160は増幅器150の出力の一部151と振幅計算器135の出力を受けて増幅器150の入力があらかじめ定められた値を超さないように減衰量を調整する。直交復調器145では発振器141で減衰器160の出力を復調し複素ベースバンド信号149-I及び149-Qを出力する。信号149-I及び149-Qはアナログ・ディジタル変換器170において、サンプル量子化される。減算回路180では本来送信されるべき信号である111-I及び111-QからAD変換器出力170-I及び170-Q

前述したように増幅器出力から帰還される信号が、たとえば変復調器の経年変化などで周波数の変換損失が大きくなつたことが原因で小さくなると安定制御が不可能になる。本発明では前置歪付加回路の出力の振幅を計算し、この振幅が予め定められた値を超すときは減衰量を減らすことにより帰還電力を増す。本発明では本来送信されるべき送信機入力信号電力と増幅器出力からの帰還信号電力が一致するよう制御されるので、帰還信号電力が大きくなると増幅器の入力信号を小さくするよう付加歪量の増加を抑える。付加歪量の増加を抑えることにより増幅器の入力が最大振幅を超して増幅器出力は飽和値を超えることを防ぐ。

(実施例)

次に本願の発明の実施例を挙げこれら発明を一層詳しく説明する。

本発明の1実施例について第1図を参照して説明する。入力端子101および102から入力した信号111-I及び111-Qは、複素信号をサンプル量子化した信号系列の実数部、虚数部を表わす。信号111-I及

Qをそれぞれ引き算する。つまり、振幅計算器135で前置歪付加回路120の出力信号の振幅を計算しその振幅が予め定められた値(一般には、この値は増幅器の最大入力振幅値)を超す場合は減衰器160の減衰量を減らす。減衰量が緩められれば増幅器からの帰還電力が増加し、入力信号(111-I,111-Q)よりも帰還信号(121-I,121-Q)が大きくなる。入力信号よりも帰還信号が大きくなると減算回路180の結果より増幅器の入力が小さくなるように前置歪付加回路120の内容が書き換えられ、増幅器の最大入力振幅を超さなくなる。また、前置歪付加回路120において信号(111-I,111-Q)から信号(121-I,121-Q)への変換が増幅器150の非線形性を補償するよう正しく行なつていれば減算回路180の出力は0となる。この出力が0でないときには、修正量発生回路190において減算回路180の出力がk倍され(kは1以下の定数)、前置歪付加回路120に入力し補償歪量を書き換える。

第2図(a)、(b)は本発明に用いられる前置歪付加回路120の構成例のブロック図である。第2図(a)で

は書き換え可能なメモリー(RAM)210には入力サンプル値信号に非線形性を補償する為の歪成分を加えた信号値が記憶され、RAM210の内容を制御する方法としてはRAM210出力と修正量発生回路190出力を加算器220で加算する。加算結果をRAM210に書き込むことでRAM210の信号値を適応的に制御できる。第2図(b)は本発明の前置歪付加回路120のもう1つを構成例のブロック図である。書き換え可能なメモリー(RAM)310には非線形性を補償する為に加える前置歪成分が記憶され第1の加算器320において入力サンプルチ値系列とRAM310出力とを加えることによって信号121-L及び121-Qに相当する信号が得られる。RQM410の内容を制御する方法としては、(a)と同じようにRAM310出力と修正量発生回路190出力を第2の加算器220で加算する。加算結果をRAM310に書き込むことでRAM310の補償用歪量を適応的に制御できる。

(発明の効果)

以上説明したように、本発明の送信機はいかなる変調方式に対しても自動的に非線形増幅器の特

性に合わせて非線形増幅器の出力が正しい送信信号波形になるようにすることができる。また本発明の送信機は減衰器の減衰量を調製し増幅器の入力が増幅器最大入力振幅を超さないようにする事により増幅器出力が飽和値を超えないように制御し変復調器の変換による信号振幅変化や増幅器の利得の変化にも歪を起こすことなく非線形補償できる。

図面の簡単な説明

第1図は本願の発明の実施例を示すブロック図、第2図(a)、(b)は第1図実施例における前置歪付加回路の具体例、第3図は非線形増幅器の入力出力特性を示す図、第4図は従来の適応線形化回路付変調器を示すブロック図、第5図(a)、(b)、(c)、(d)は16値QAMの非線形増幅器による歪を示す図、第6図は第1の従来例の適応型変調器のブロック図、第7図(a)、(b)、(c)は第1の従来例の適応型変調器の各部の波形を示す図である。

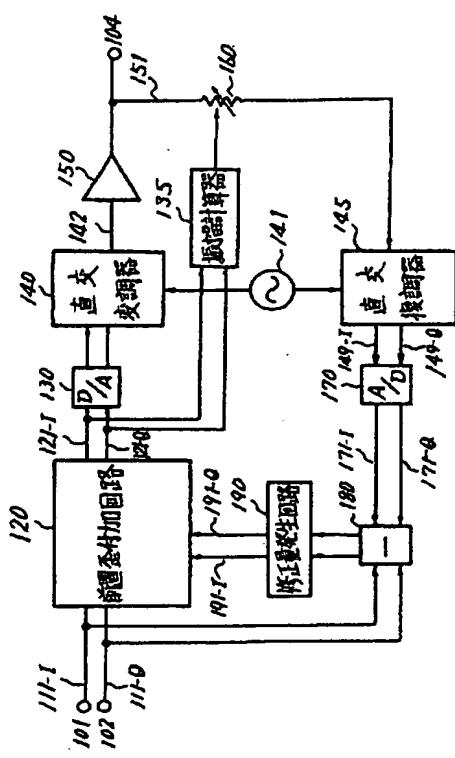
図において、

101,102…入力端子、 104…出力端子、

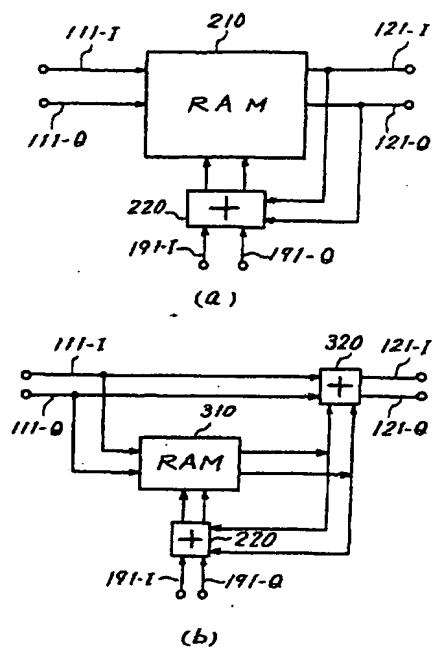
120…前置歪付加回路、
130…ディジタル・アナログ変換器、
135…振幅計算器、 140…直交変調器、
141…発振器、 145…直交復調器、
150…増幅器、 160…減衰器、
170…アナログ・ディジタル変換器、
180…減算回路、 190…修正量発生回路、
210…書き換え可能なメモリー(RAM)、
220…加算器、
310…書き換え可能なメモリー(RAM)、
320…加算器、 401,402,403…入力端子、
404…出力端子、
420…書き換え可能なメモリー(RAM)、
430…ディジタル・アナログ変換器、
440…直交変調器、 441…発振器、
450…アナログ・ディジタル変換器、
460…減算回路、 470…修正量発生回路、
480…加算器、 600,602…入力端子、
601…出力端子、 610…RAM、 620…ROM、
630…ディジタル・アナログ変換器、

635…帯域制限フィルター、 640…直交変調器、
651…発振器、 660…復調器、
670…アナログ・ディジタル変換器、
680…減算器、 690…修正量発生回路、
691…加算器、 をそれぞれ示す。

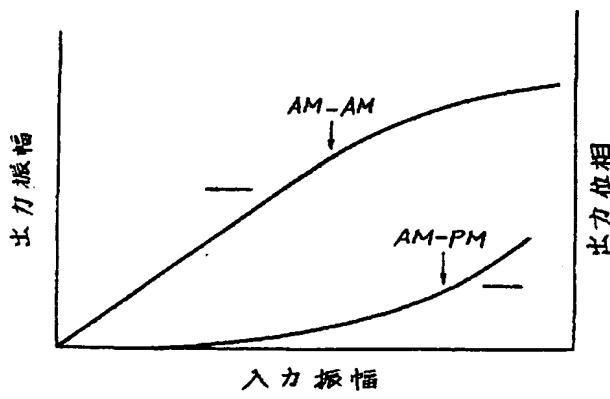
第 1 図



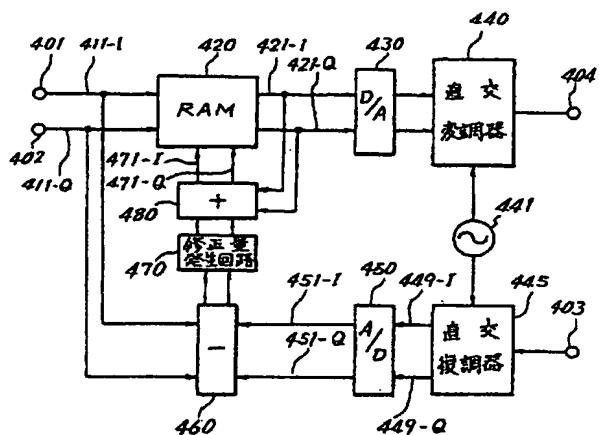
第 2 図



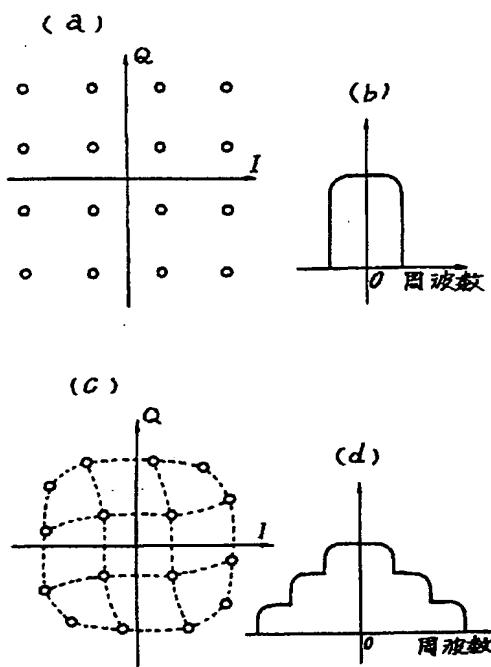
第 3 図



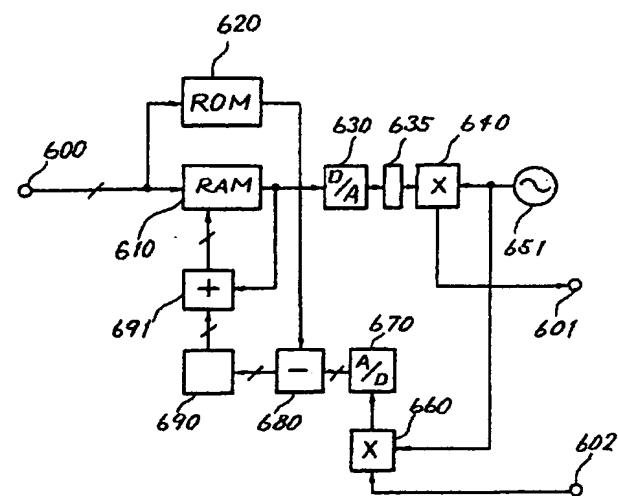
第 4 図



第 5 圖



第 6 圖



第 7 圖

